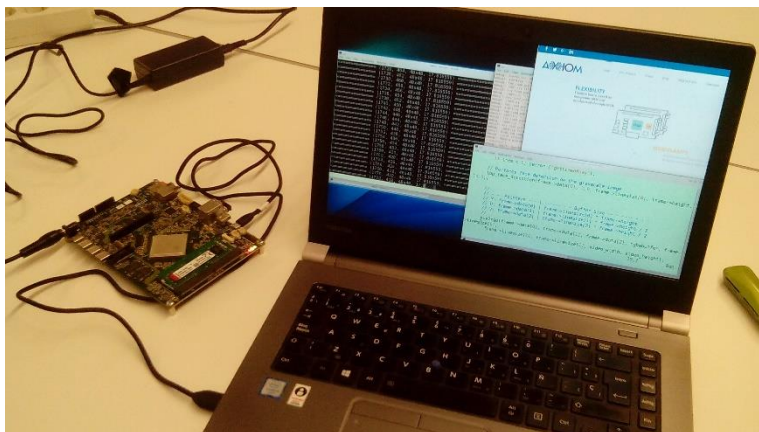


## El BSC i HERTA SECURITY arrenquen la placa desenvolupada en el projecte AXIOM per primera vegada i hi executen algorismes amb èxit

Investigadors de ciències de la computació del [Barcelona Supercomputing Center](#) (BSC) i [Herta Security](#) -una empresa que ofereix eines de seguretat basades en tecnologies de reconeixement facial- van trobar-se a Barcelona el 17 de març de 2017 per testejar la primera [placa AXIOM](#). No només l'arrencada va tenir èxit sinó que l'equip també va poder executar-hi l'algorisme de detecció facial d'Herta i testejar-hi l'OmpSs@SMP, que va executar-se satisfactòriament en la conversió d'YUV a color RGB.

La placa AXIOM combina tres mons en un: Arduino, ARM de 64 bit i FPGA. La produeix SECO i es basa en el xip Xilinx Ultrascale+ (U+). Les proves efectuades, d'acord amb els [plans inicials](#) d'adoptar [OmpSs](#) en les pròpies aplicacions dels usuaris, s'han fet en l'ecosistema de software de SECO i el model de programació OmpSs desenvolupat pel BSC.



*L'aplicació d'HERTA executant-se amb OmpSs en la placa AXIOM*

Tal com explica **Xavier Martorell**, responsable del grup de Parallel Programming Models del BSC, “a partir d'ara podem començar la fase més interessant del projecte AXIOM, en què hauríem de demostrar com d'útil és l'FPGA de l'U+ per accelerar aquests algorismes”. Martorell també explica que confien poder presentar aquests resultats en els propers mesos en entorns científics.

Poder arrencar la placa AXIOM i executar-hi amb èxit aquestes primeres proves és un pas endavant significatiu en el transcurs del projecte i obre la possibilitat de desenvolupar més àmpliament els resultats i l'impacte del projecte.

**David Oro** de Herta Security creu que els SoCs (System-on-Chip) *low-power* reconfigurables com l'inclòs en la placa AXIOM jugaran un paper important en el futur per implementar xarxes neuronals i algorismes d'aprenentatge automàtic (*machine learning*) d'anàlisi de vídeo per a la indústria de la videovigilància: “històricament el problema amb les FPGAs ha estat la

dificultat de desenvolupar dissenys d'arquitectures d'altres prestacions sota la pressió dels ajustats calendaris de desenvolupament de productes. El model de programació OmpSs@FPGA desenvolupat al BSC ens permet portar i paral·lelitzar els nostres algoritmes en arquitectures FPGA amb modificacions mínimes de codi”.

### **Sobre la placa AXIOM**

Aquesta placa ha estat desenvolupada en el marc del projecte europeu AXIOM (Agile, eXtensible, fast I/O Module for the cyber-physical era).

La placa presenta el mateix *pinout* que l'Arduino Uno, cosa que permet afegir un *shield* d'Arduino Uno compatible. La presència d'aquest *pinout* facilita un prototipatge ràpid i exposa l'I/O FPGA amb una interfície amigable. L'ordinador ARM a la placa consisteix en un processador heterogeni de 6 nuclis –64-bit Quad core A53 @ 1.2GHz i 32-bit Dual core R5 @ 500MHz, produït per Xilinx. L'FPGA és de nova generació Zynq Ultrascale Plus. La combinació d'un processador heterogeni potent com el 6-core ARM amb la connexió flexible i ràpida habilita el veritable potencial de l'FPGA.

La placa AXIOM està dissenyada, doncs, per a ser la combinació perfecta de la computació d'altres prestacions, embedded i sistemes ciber-físics.

El projecte AXIOM ha rebut finançament del programa Horizon 2020 de la UE, sota l'acord número 645496.

[www.axiom-project.eu](http://www.axiom-project.eu)

[twitter.com/axiom\\_project](https://twitter.com/axiom_project)

[www.facebook.com/theaxiomproject](https://www.facebook.com/theaxiomproject)

[www.linkedin.com/grp/home?gid=8294592](https://www.linkedin.com/grp/home?gid=8294592)

[plus.google.com/106077641661897235281/about](https://plus.google.com/106077641661897235281/about)

Barcelona, 28 de març de 2017