

[El BSC coordina la fabricación del primer chip de código abierto desarrollado en España](#)

En colaboración con el Centro de Investigación en Computación del IPN mexicano, el Centro Nacional de Microelectrónica del CSIC y la Universitat Politècnica de Catalunya (UPC).



Lagarto, construido con transistores TSMC de 65 nanómetros, es el primer chip con repertorio de instrucciones (ISA, Instruction Set Architecture) de código abierto desarrollado en España, coordinado por el Barcelona Supercomputing Center - Centro Nacional de Supercomputación. El chip, que ha dado unos resultados superiores a los esperados, es un paso clave en la estrategia del centro de convertirse en referente en las tecnologías de hardware de código abierto desarrolladas en Europa.

Lagarto es un paso importante en la ambición del BSC, liderada por el director del centro, Mateo Valero, de desarrollar tecnología de computación europea. Este proyecto tiene como premisa que el repertorio de instrucciones de los futuros procesadores debe ser de código abierto para garantizar su transparencia y minimizar la dependencia. Los ISA constituyen el conjunto básico de instrucciones de lenguaje máquina que un procesador puede entender y ejecutar y es, por lo tanto, el punto de encuentro entre el software y el hardware. El hecho de que estén abiertos pretende sortear la posibilidad de que los chips incorporen puertas traseras o instrucciones que puedan ser perjudiciales para la seguridad o la privacidad de los usuarios.

El hardware de código abierto es una posibilidad que ha emergido en los últimos años y que tiene el potencial de ser tan disruptiva como en su día lo fue Linux, paradigma del software de código abierto. Si Linux consiguió aminorar la dependencia de los usuarios respecto a las grandes firmas proveedoras de programas y aplicaciones informáticas, se vislumbra que el hardware basado en ISAs de código abierto puede hacer lo mismo en su propio terreno.

"Lagarto es el primer chip con ISA de código abierto desarrollado en España y es un embrión de lo que el BSC pretende que sea el procesador europeo. El objetivo del proyecto era demostrar que el BSC, que está apostando firmemente por el desarrollo de un procesador "made in Europe", es capaz de crear estas tecnologías y lo hemos logrado con éxito", afirma Mateo Valero.

Un amplio equipo

El diseño inicial de Lagarto procede del Centro de Investigación en Computación del IPN mexicano, centro con el que el BSC mantiene una estrecha colaboración desde hace años.

Partiendo de un diseño inicial académico, un equipo de 30 investigadores del propio IPN, el BSC, el Centro Nacional de Microelectrónica del CSIC (CNM) y los Departamentos de Arquitectura de Computadores (DAC) y de Ingeniería Electrónica de la UPC han trabajado cerca de dos años para fabricar un procesador RISC-V de ISA abierto.

El equipo ha sido coordinado por Miquel Moretó, del grupo de Runtime Aware Architectures del BSC e Investigador Ramón y Cajal del DAC, y ha dado unos resultados superiores a los esperados.

Cronología del proyecto

A principios de 2018, el BSC, en colaboración con el centro mexicano CIC-IPN rediseñó el procesador segmentado Lagarto inicial, que estaba basado en una arquitectura MIPS, para convertirlo a una arquitectura RISC-V, la ISA de código abierto que ha elegido el BSC para sus proyectos de chips con arquitecturas abiertas, y añadió al diseño inicial varios módulos necesarios para convertirlo en un diseño operativo.

En septiembre del mismo año, con el diseño terminado y testeado a base de simulaciones, los dos centros iniciaron una colaboración con el Departamento de Ingeniería Electrónica en la Escuela de Ingeniería de Telecomunicación de Barcelona de la UPC y el Centro Nacional de Microelectrónica del CSIC para llevar a cabo la parte de síntesis del proyecto (convertir los modelos simulados en diseños basados en componentes hardware interconectados y orientados a su materialización) y su diseño físico (convertir esas descripciones a los correspondientes dibujos geométricos de las máscaras necesarias para su fabricación como circuito integrado o chip). El objetivo de estas fases era pasar de unos modelos o diseños digitales a su materialización física mediante las correspondientes tecnologías de semiconductores, en este caso TSMC de 65 nanómetros.

En mayo de 2019, el diseño final se envió a EUROPRACTICE, una plataforma creada por la Comisión Europea para impulsar el desarrollo de sistemas integrados inteligentes con tecnologías microelectrónicas, y este otoño 100 "Lagartos" llegaron a Barcelona y se comenzaron los testeos.

Lagarto es un embrión de lo que el BSC pretende que sea el procesador europeo. Los planes del BSC de crear chips de código abierto desarrollados en Europa y aptos para computación de altas prestaciones, Internet de las Cosas y otros dominios, siguen adelante con otros proyectos como la plataforma experimental exascale asociada a MareNostrum 5 (MEEP), que comenzará sus trabajos en enero, el Laboratorio Europeo de Arquitecturas de Computación Abiertas (LOCA) y el proyecto DRAC, entre otros.

Los participantes en este proyecto se muestran muy satisfechos con los resultados obtenidos, tal y como se enumera a continuación:

Miquel Moretó, coordinador del proyecto

“Lo habitual es tener que fabricar un chip varias veces antes de que funcione correctamente. En el caso de Lagarto, no sólo ha funcionado a la primera, sino que es capaz de ejecutar correctamente aplicaciones de cálculo numérico”.

Marco A. Ramírez, director del CIC-IPN

“Estamos muy orgullosos que un diseño original el IPN mexicano haya sido evolucionado conjuntamente con el BSC, CNM y UPC para poder ser fabricado en la tecnología TSMC de 65 nanómetros. Esto demuestra la viabilidad de este proyecto y augura un futuro muy prometedor para todas las instituciones que trabajan en él”.

Francesc Moll, profesor de la UPC

“La consecución de este primer hito da confianza al equipo para abordar los siguientes retos que permitirán incorporar nuevas funcionalidades en los siguientes chips que han de diseñarse”.

Lluís Terés, del CNM (CSIC) y coordinador de la red de investigación Red-RISCV

“Para que el desarrollo de hardware abierto basado en estas nuevas arquitecturas RISC-V se afiance requiere de las necesarias sinergias del círculo prodigioso “Investigación-Formación-Innovación” como motor para facilitar una evolución colaborativa y conjunta del ecosistema completo que garantice un progreso sostenido, sostenible, cooperativo y abierto”.

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

Source URL (retrieved on 30 Mayo 2025 - 23:46): <https://www.bsc.es/es/noticias/noticias-del-bsc/el-bsc-coordina-la-fabricaci%C3%B3n-del-primer-chip-de-c%C3%B3digo-abierto-desarrollado-en-esp%C3%B1a>