

[Inici](#) > SORS: Planificación dinámica en la Arquitectura del Procesador Lagarto II y algunas técnicas de verificación funcional

SORS: Planificación dinámica en la Arquitectura del Procesador Lagarto II y algunas técnicas de verificación funcional

Objectives

Para ver la presentación haga click [aquí](#)

Abstract: En esta charla se mostrarán aspectos claves para la implementación de los mecanismos de planificación dinámica que hemos utilizado en la arquitectura del Procesador Lagarto II , un superescalar de 2 vías con ejecución fuera de orden. Desde la predicción de saltos, renombrado de registros, emisión , adelantado de valores, ejecución y graduación de instrucciones, así como las estrategias de verificación funcional.



Short Bio: Marco A. Ramírez Salinas es Doctor en Arquitectura y Tecnología de Computadoras por la Universidad Politécnica de Cataluña (UPC), Maestro en Ciencias en Ingeniería de Cómputo en el CIC e Ingeniero en Comunicaciones y Electrónica por la ESIME ambos del IPN. Su interés de investigación se centra en el campo de las Arquitectura de Computadoras de Alto desempeño, el Diseño de procesadores y las Aplicaciones de las micro- y nano-tecnologías para el cuidado de salud, así como el diseño de dispositivos MEMS. | Es profesor titular C de tiempo completo del CIC-IPN en los tres programas de posgrado (DCC, MCC y MCIC) | Coordinador de la Red de Investigación en Computacion del IPN (2018, 2020) | director del CIC-IPN (2016-2019)

Speakers

Marco A. Ramírez Salinas, Doctor en Arquitectura y Tecnología de Computadoras

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

Source URL (retrieved on 19 abr 2024 - 09:00): <https://www.bsc.es/ca/research-and-development/research-seminars/sors-planificaci%C3%B3n-din%C3%A1mica-en-la-arquitectura-del-procesador-lagarto-ii-y-algunas-t%C3%A9cnicas-de>