

[Inici](#) > BSC està desenvolupant el primer ecosistema de codi obert europeu de pila completa basat en una nova CPU RISC-V

---

## BSC està desenvolupant el primer ecosistema de codi obert europeu de pila completa basat en una nova CPU RISC-V

Els investigadors del BSC lideraran eProcessor, un projecte que crearà un nucli RISC-V 100% europeu d'alt rendiment OoO (en anglès, out-of order) per crear nous productes HPC (en anglès, High Performance Computing) embedded desenvolupats completament a Europa.



El BSC coordinarà el projecte eProcessor (en anglès, European, extendable, energy-efficient, energetic, embedded, extensible, Processor Ecosystem), on aportarà la seva experiència en disseny de hardware, emulació FPGA, avaluació comparativa i eines de simulació de sistemes. Més específicament, contribuirà a:

- El disseny d'un nucli OoO [RISC-V](#) d'alt rendiment i eficiència energètica, que s'implementarà com ASICS d'un sol i doble nucli amb enllaç coherent fora del xip.
- El disseny d'un accelerador vectorial [RISC-V](#) per a càrregues de treball HPC per als casos d'ús del projecte, on s'exploraran diferents execucions optimitzades per a l'eficiència energètica mitjançant l'ús d'una varietat de tipus de dades mixtes i de baixa precisió.
- Explorar càrregues de treball d'HPC tradicionals, així com càrregues de treball d'HPDA (en anglès, High Performance Data Analytics) emergents com IA (intel·ligència artificial) i bioinformàtica.

El projecte eProcessor està format pel Barcelona Supercomputing Center, [Chalmers University of Technology](#), [Foundation for Research and Technology- Hellas](#), [Universita degli Studi di Roma La Sapienza](#), [Cortus](#), [Christmann Informationstechnik](#), [Universität Bielefeld](#), [Extoll GmbH](#), [Thales](#) i [Exapsys](#).

El projecte té la finalitat de construir un nou processador de codi obert OoO i el seu objectiu és crear el primer ecosistema de codi obert europeu de pila completa basat en aquesta nova CPU [RISC-V](#). La tecnologia serà extensible perquè és de codi obert, energèticament eficient pel seu baix consum d'energia, d'escala extrema pel seu alt rendiment, adequada per a usos en HPC i aplicacions embeded extensibles per la facilitat d'agregar components dins del xip i fora d'ell.

EProcessor combina la recerca d'avantguarda, i utilitza el codisseny de software i hardware per tal d'assolir un rendiment constant de precisió escassa i mixta del processador i sistema per a càrregues de treball HPC i HPDA en combinar un alt rendiment i baix consum per mitjà d'arquitectura i tècniques de circuits de baixa potència en un nucli de processador OoO amb noves estructures de memòries adaptables en xip i administració de la seva memòria, així com les característiques de toleràncies d'errades. Aquestes solucions de codisseny de software i hardware abasten la pila completa, des d'aplicacions fins a temps d'execució, eines, sistema operatiu, CPU i acceleradors.

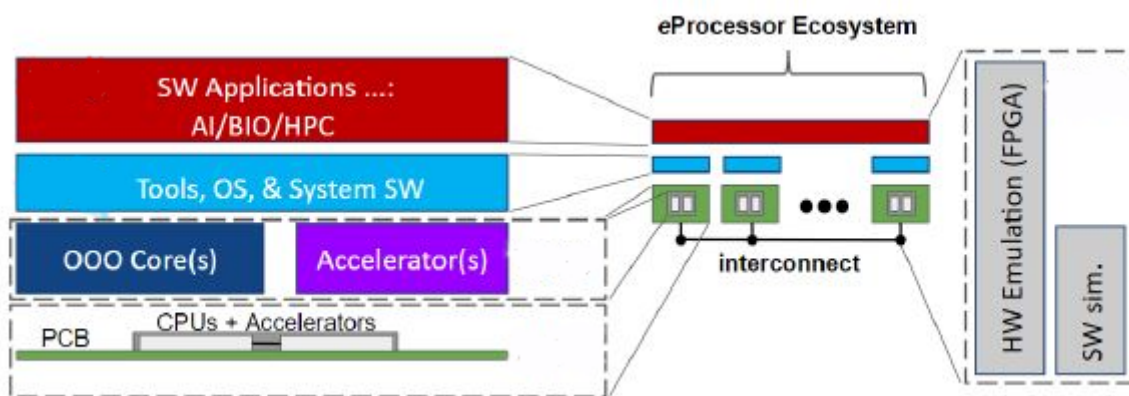


Figura 1 Ecosistema de codi obert de pila completa eProcessor

Com es mostra a la figura anterior, la tecnologia que serà desenvolupada a l'ecosistema inclou:

- Aplicacions tradicionals d'HPC per a problemes de computació científica que utilitzen solucionadors basats en àlgebra lineal i mètodes numèrics amb estructures de dades denses i escasses del benchmark suite NAS i altres.
- Aplicacions d'HPDA-IA amb casos d'ús reals construïts sobre la Biblioteca Europea d'Aprenentatge Profund Distribuït (sigles en anglès, EDDL), que afectaran àrees crítiques, que van des de la medicina de precisió fins al reconeixement d'imatges.
- Aplicacions d'HPDA-Bioinformàtica que es centren en l'enfocament de canals de processament genòmic d'alt rendiment, alineació de seqüències i coincidència de patrons.
- Temps d'execució i compiladors que admeten els dominis d'HPC i HPDA a la capa de software del sistema en enfocar-se als principals marcs de programació utilitzats en aquests dominis com [OpenMP](#) per a HPC, [Spark](#) per a HPDA-Bioinformàtica i [Tensorflow](#) per a HPDA-IA.
- Eines d'optimització i rendiment d'aplicacions HPC que ofereixen informació sobre aplicacions per ajudar a extreure el major rendiment i eficiència presents en HPC i HPDA.
- Un sistema operatiu (OS) que utilitzarà i ampliarà una plataforma Linux de codi obert existent. Un objectiu important serà minimitzar les despeses generals i proporcionar una execució constant sense soroll.

- Explorar opcions per a unitats funcionals en xip, coprocessadors en xip i acceleradors fora de xip focalitzades a acceleradors vectorials i unitats funcionals per a aplicacions d'HPC tradicionals i aplicacions d'HPDA emergents.
- Habilitació d'un multinucli SoC coherent en xip, així com un enllaç coherent fora del xip per a una interconnexió de processadors o acceleradors
- Dos 'tape-outs': Una implementació d'un sol nucli i multinuclis d'una CPU RISC-V OoO de codi obert.
- En col·laboració amb el projecte [MEEP](#), l'emulació FPGA que serà utilitzada per permetre el desenvolupament primerenc de software i la validació prèvia al silici.
- Ampliar la infraestructura del projecte [LEGaTO](#) produint un CPU CPG compatible amb eProcessor.

“El projecte eProcessor està desenvolupant un nou CPU RISC-V OoO, i aprofitarà i ampliarà el treball realitzat en múltiples projectes europeus. En fer-ho, eProcessor pot aconseguir un nivell de TRL (preparació tècnica) d'entre 5 a 7. Addicionalment, el fet de treballar amb els nostres socis industrials ens proporcionarà un camí directe cap a la comercialització. Només es poden assolir els objectius d'eProcessor amb la combinació de simulació software, emulació hardware que usa FPGA i prototips ASIC reals que demostrin la viabilitat de la pila completa del hardware i software. Tots aquests esforços es tradueixen en el primer pas dels molts que es requereixen per tal de construir un ecosistema de software i hardware obert vibrant a Europa”, afirma [John D. Davis](#), Director del Laboratory for Open Computer Architecture (LOCA) al BSC.

## Sobre eProcessor

El projecte eProcessor abordarà tots els dominis HPC-HPDA i contribuirà a la realització d'arquitectures de sistemes europeus a exaescala mitjançant (a) el desenvolupament de tecnologies de hardware i software de codi obert “made-in-EU” (b) facilitar un gran sistema d'emulació d'FPGA per respondre ràpidament preguntes de recerca de “què passaria si” i realitzar exploracions de rendiment per a sistemes futurs, i (c) implementar components de hardware europeus en ASIC per oferir IP provades amb silici.

El projecte recolza l'objectiu d'[EuroHPC JU](#) de desenvolupar tecnologies i aplicacions i supercomputació innovadores per tal de sustentar un ecosistema europeu d'HPC de classe mundial, així com el seu objectiu de millorar la qualitat de vida, promoure la ciència, impulsar la competitivitat industrial i garantir l'autonomia tecnològica d'Europa.

## Sobre RISC-V

[RISC-V](#) és una ISA (en anglès, Instruction Set Architecture) oberta i gratuïta que permet una nova era d'innovació de processadors a través de la col·laboració d'estàndard obert. L'ISA RISC-V ofereix un nou nivell de llibertat de hardware i software extensible i gratuït en l'arquitectura, aplanant el camí per als propers 50 anys de disseny i innovació informàtica.

El BSC és [membre](#) de la Fundació RISC-V i va organitzar el [taller oficial RISC-V](#) al maig de 2018. A més, [John D. Davis](#), Director del Laboratory for Open Computer Architecture del BSC, és el president d'un grup d'interès especial (sigles en anglès, [SIG](#)) en computació d'alt rendiment. Com a tal, també participa al comitè directiu tècnic (sigles en anglès, [TSC](#)) de RISC-V.

## Sobre EuroHPC

L'Empresa Comú Europea de Computació d'Alt Rendiment ([EuroHPC](#)) llança convocatòries de propostes per finançar activitats de recerca i innovació que ajudaran a Europa a continuar sent globalment competitiva en supercomputació.

La missió d'[EuroHPC JU](#) és desenvolupar, implementar, estendre i mantenir una infraestructura integrada de dades i supercomputació de classe mundial a la Unió Europea ([UE](#)), i desenvolupar i recolzar un ecosistema HPC altament competitiu i innovador.

L'EuroHPC JU té com a objectiu equipar l'UE a principis de 2021 amb una infraestructura de petaescala (capaç almenys de 1.015 càlculs per segon) i precursors de supercomputadors exaescala (capaç almenys de 1.018 càlculs per segon), i desenvolupar les tecnologies i aplicacions necessàries per assolir capacitats completes d'exaescala al voltant de 2022/2023.



*El projecte eProcessor ha rebut finançament de l'Empresa Comuna Europea d'Alt Rendiment de l'Empresa Comuna (EuroHPC JU) en virtut de l'acord de subvenció no 956702. EuroHPC JU rep suport del programa de recerca i innovació Horitzó 2020 de la Unió Europea, Suècia, Grècia, Itàlia, França i Alemanya.*

Barcelona Supercomputing Center - Centro Nacional de Supercomputación

---

**Source URL (retrieved on 19 abr 2024 - 10:35):** <https://www.bsc.es/ca/noticies/noticies-del-bsc/bsc-est%C3%A0-desenvolupant-el-primer-ecosistema-de-codi-obert-europeu-de-pila-completa-basat-en-una-nova>